Evaluación del Trabajo Práctico Número 8

Arquitectura de Computadoras 10/06/2025

Instrucciones

- La evaluación es **individual** y podrá utilizar todo el material escrito del que disponga.
- La misma consta de **2 ejercicios** en total y la duración será de **60 minutos**.
- En cada ejercicio se indica el tiempo estimado para resolverlo y el puntaje que otorga.
- La evaluación se desarrollará en las hojas provistas por la cátedra a tal fin.
- Las hojas que no respeten el formato indicado por la cátedra no serán tenidas en cuenta.
- No se permitirá intercambiar ni prestar ningún tipo de elemento entre los estudiantes.
- La buena presentación, ortografía y redacción serán tenidas en cuenta en la calificación final.

Ejercicios para resolver

1) **35 Minutos - 55 Puntos (10, 15, 10, 10, 10)**
Se tienen dos procesadores A y B que ejecutan tareas simultáneamente en un esquema de memoria compartida. Ambos procesadores tienen cachés del tipo write-back con bloques de una palabra de 32 bits. El protocolo usado para mantener la coherencia de los cachés es el MSI visto en clase (diapositiva 38 del Tema 11), y supondremos por comodidad que los datos ya están en el caché. Para la siguiente secuencia de actividades:

Paso	Procesador	Actividad	Dirección de Memoria
1	B	Lectura	100
2	B	Escritura	104
3	A	Lectura	100
4	B	Escritura	104
5	A	Lectura	104
6	B	Escritura	100
7	A	Lectura	100

Se pide que:
a) Describa qué acciones tienen lugar en cada paso, para ambos procesadores.
b) Calcule la cantidad de transacciones por el bus que se realizan.
c) Suponiendo que los bloques de caché ahora son de 4 palabras, repita el punto a.
d) Calcule la cantidad de transacciones por el bus que se realizan para el caso planteado en el punto anterior (caché de 4 palabras).
e) Indique en referencia al punto anterior si hay algun “falso“ fallo por incoherencia de caché y en caso de haberlo, en que paso se dá.

2) **25 Minutos - 45 Puntos (5, 10, 10, 10, 10)**
Dados los siguientes datos sobre el sistema de memoria de un procesador, se pide:

Datos	AC23 Pro Max
Dirección virtual	58 bits
Dirección física	64 bits
Tamaño de página	16 KiB
TLB	Asociativo puro, 128 entradas
Caché L1 Instrucciones	2 vías, VIPT
Caché L1 Datos	4 vías, VIPT
Caché L2	MD, 4 MiB, bloques de 128 Bytes

a) Indique en qué campos se descompone la dirección virtual, y los tamaños de cada uno.
b) Indique cuántos niveles de tablas de páginas se utilizan en este sistema.
c) Indique el tamaño máximo de los cachés L1 de instrucciones y de datos.
d) Indique el tamaño mínimo del TLB en bits.
e) Indique en qué campos se descompone la dirección del caché L2.

Soluciones propuestas

1)
   a) ...
   b) Sólo dos transacciones.
   c) ...
   d) Sólo tres transacciones.
   e) Si hay, uno. En el paso 3.

2)
   a) Número de página (44 bits) y offset de página (14 bits).
   b) Se utilizan 4 niveles con tablas de 2048 entradas.
   c) El caché de instrucciones puede tener, como máximo, 32 KiB y el de datos 64 KiB.
   d) El tamaño mínimo del TLB es de 12.160 bits.
   e) Etiqueta (42 bits), Índice (15 bits) y desplazamiento dentro del bloque (7 bits).